

U. Tietze · Ch. Schenk

③

# Halbleiter-Schaltungstechnik

Neunte, neu bearbeitete und erweiterte Auflage

Mit 1166 Abbildungen

FAST AVAILABLE COPY

Springer-Verlag Berlin Heidelberg New York  
London Paris Tokyo 1989

Dr.-Ing. Ulrich Tietze

Wissenschaftlicher Mitarbeiter am Lehrstuhl für Technische Elektronik  
der Universität Erlangen-Nürnberg  
Cauerstr. 9, 8520 Erlangen

Dr.-Ing. Christoph Schenk

Geschäftsführender Gesellschafter der Dr. Schenk GmbH,  
Industriemesstechnik, Bunsenstr. 4a, 8033 Martinsried/München

B83/842:a

**BIBLIOTHEK  
DES DEUTSCHEN  
PATENTAMTES**

3 1. JAN. 1989

Englisch: (Kurzfassung): Springer, Berlin, Heidelberg, New York 1978  
Englisch (vollständige Fassung): Springer, Berlin, Heidelberg, New York 1989

ISBN 3-540-19475-4 9. Aufl. Springer-Verlag Berlin Heidelberg New York  
ISBN 0-387-19475-4 9th ed. Springer-Verlag New York Berlin Heidelberg

ISBN 3-540-16720-X 8. Aufl. Springer-Verlag Berlin Heidelberg New York  
ISBN 0-387-16720-X 8th ed. Springer-Verlag New York Berlin Heidelberg

CIP-Titelaufnahme der Deutschen Bibliothek

Tietze, Ulrich:

Halbleiter-Schaltungstechnik / U. Tietze: Ch. Schenk. - 9., neu bearb. u. erw. Aufl.  
Berlin : Heidelberg : New York : London : Paris : Tokyo : Springer, 1989

ISBN 3-540-19475-4 (Berlin ...)

ISBN 0-387-19475-4 (New York ...)

NE: Schenk, Christoph:

Dieses Werk ist urheberrechtlich geschützt. Die dadurch begründeten Rechte, insbesondere die der Übersetzung, des Nachdrucks, des Vortrags, der Entnahme von Abbildungen und Tabellen, der Funksendung, der Mikroverfilmung oder der Vervielfältigung auf anderen Wegen und der Speicherung in Datenverarbeitungsanlagen, bleiben, auch bei nur auszugsweiser Verwertung, vorbehalten. Eine Vervielfältigung dieses Werkes oder von Teilen dieses Werkes ist auch im Einzelfall nur in den Grenzen der gesetzlichen Bestimmungen des Urheberrechtsgesetzes der Bundesrepublik Deutschland vom 9. September 1965 in der Fassung vom 24. Juni 1985 zulässig. Sie ist grundsätzlich vergütungspflichtig. Zuwiderhandlungen unterliegen den Strafbestimmungen des Urheberrechtsgesetzes.

© Springer-Verlag Berlin - Heidelberg 1969, 1971, 1974, 1976, 1978, 1980, 1983, 1985, 1986 and 1989  
Printed in Germany

Die Wiedergabe von Gebrauchsnamen, Handelsnamen, Warenbezeichnungen usw. in diesem Werk berechtigt auch ohne besondere Kennzeichnung nicht zu der Annahme, daß solche Namen im Sinne der Warenzeichen- und Markenschutz-Gesetzgebung als frei zu betrachten wären und daher von jedermann benutzt werden dürften.

Sollte in diesem Werk direkt oder indirekt auf Gesetze, Vorschriften oder Richtlinien (z.B. DIN, VDI, VDE) Bezug genommen oder aus ihnen zitiert worden sein, so kann der Verlag keine Gewähr für Richtigkeit, Vollständigkeit oder Aktualität übernehmen. Es empfiehlt sich, gegebenenfalls für die eigenen Arbeiten die vollständigen Vorschriften oder Richtlinien in der jeweils gültigen Fassung hinzuzuziehen.

Wir übernehmen auch keine Gewähr, daß die in diesem Buch enthaltenen Angaben frei von Patentrechten sind; durch diese Veröffentlichung wird weder stillschweigend noch sonstwie eine Lizenz auf etwa bestehende Patente gewährt.

Satz: H. Stürtz AG, Würzburg, und H. Hagedorn GmbH & Co, Berlin  
Druck: Saladruk, Berlin; Bindearbeiten: Lüderitz & Bauer-GmbH, Berlin.  
2362/3020-543210 - Gedruckt auf säurefreiem Papier

NA 001 z A=9:a

NOT AVAILABLE COPY

## 8 Kippschaltungen

### 8.1 Der Transistor als digitales Bauelement

Bei den *lineären* Schaltungen haben wir das Kollektorruhepotential so eingestellt, daß es zwischen  $V^+$  und  $U_{CE\text{-sat}}$  lag. Dann war eine Aussteuerung um diesen Arbeitspunkt möglich. Das Kennzeichen der linearen Schaltungen ist, daß man die Aussteuerung so klein hält, daß die Ausgangsspannung eine lineare Funktion der Eingangsspannung ist. Deshalb durfte die Ausgangsspannung die positive oder negative Aussteuerungsgrenze nicht erreichen, da sonst Verzerrungen aufgetreten wären. Im Gegensatz dazu arbeitet man bei *Digital*schaltungen nur mit zwei Betriebszuständen. Man interessiert sich nur noch dafür, ob eine Spannung größer ist als ein vorgegebener Wert  $U_H$  oder kleiner als ein vorgegebener Wert  $U_L < U_H$ . Ist die Spannung größer als  $U_H$ , sagt man, sie befinde sich im Zustand H (high); ist sie kleiner als  $U_L$ , sagt man, sie befinde sich im Zustand L (low).

Wie groß die Pegel  $U_H$  und  $U_L$  sind, hängt ganz von der verwendeten Schaltungstechnik ab. Um die Pegel eindeutig interpretieren zu können, sollen Pegel zwischen  $U_H$  und  $U_L$  nicht auftreten. Welche schaltungstechnischen Konsequenzen daraus folgen, wollen wir anhand des Pegelinverters in Abb. 8.1 erläutern. Die Schaltung soll folgende Eigenschaften besitzen:

Für  $U_e \leq U_L$  soll  $U_a \geq U_H$  werden,

und

für  $U_e \geq U_H$  soll  $U_a \leq U_L$  werden.

Dieser Zusammenhang soll auch im ungünstigsten Fall noch erfüllt sein; d.h. für  $U_e = U_L$  darf  $U_a$  nicht kleiner als  $U_H$  sein, und für  $U_e = U_H$  darf  $U_a$  nicht größer als  $U_L$  sein. Diese Bedingung läßt sich nur dann erfüllen, wenn man  $U_H$ ,  $U_L$  und die Widerstände  $R_C$  und  $R_B$  geeignet wählt. Wie man dabei vorgehen kann, soll das folgende Zahlenbeispiel zeigen:

Sperrt man den Transistor in Abb. 8.1, wird die Ausgangsspannung im unbelasteten Fall gleich  $V^+$ . Nehmen wir einmal an, die niederohmigste Ausgangslast bei  $R_V = R_C$ ; dann wird  $U_a$  in diesem Fall gleich  $\frac{1}{2}V^+$ . Dies ist also die kleinste Ausgangsspannung im H-Zustand. Sicherheitshalber definieren wir  $U_H < \frac{1}{2}V^+$ , bei einer Betriebsspannung von  $V^+ = 5\text{ V}$  z.B.  $U_H = 1,5\text{ V}$ . Nach der oben angegebenen Forderung

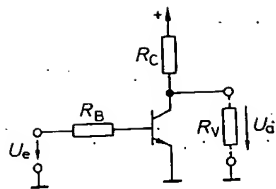
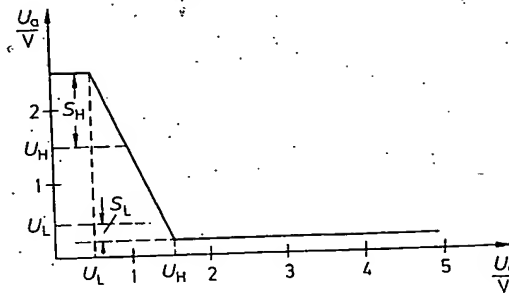


Abb. 8.1 Transistor als Inverter

Abb. 8.2 Übertragungskennlinie für  $R_V = R_C$ .  
 $S_L$ : L-Störabstand.  $S_H$ : H-Störabstand

soll sich für  $U_a \geq U_H$  die Eingangsspannung im Zustand L befinden. Als  $U_L$  definieren wir daher die größte Eingangsspannung, bei der der Transistor gerade noch sicher sperrt. Bei einem Siliziumtransistor können wir dafür 0,4 V annehmen, wenn er sich auf Zimmertemperatur befindet. Wir wählen also  $U_L = 0,4 \text{ V}$ . – Nachdem wir die beiden Pegel  $U_H$  und  $U_L$  auf diese Weise festgelegt haben, müssen wir die Schaltung nun so dimensionieren, daß sich für  $U_e = U_H$  die Ausgangsspannung  $U_a \leq U_L$  ergibt. Auch im ungünstigsten Fall wünscht man noch eine gewisse Sicherheit, d.h. für  $U_e = U_H = 1,5 \text{ V}$  soll die Ausgangsspannung noch kleiner als  $U_L = 0,4 \text{ V}$  sein. Den Kollektorwiderstand  $R_C$  wählt man so niedrig, daß die Schaltzeiten hinreichend klein werden, die Stromaufnahme aber nicht unnötig groß wird. Wir wählen z.B.  $R_C = 5 \text{ k}\Omega$ . Nun müssen wir  $R_B$  so dimensionieren, daß bei einer Eingangsspannung von  $U_e = 1,5 \text{ V}$  die Ausgangsspannung sicher unter den Wert  $U_L = 0,4 \text{ V}$  absinkt. Dazu muß ein Kollektorstrom von  $I_C \approx V^+ / R_C = 1 \text{ mA}$  fließen. Die in Frage kommenden Transistoren sollen eine Stromverstärkung von  $B = 100$  besitzen. Der notwendige Basisstrom beträgt dann  $I_{B \min} = I_C / B = 10 \mu\text{A}$ . Um den Transistor sicher in die Sättigung zu bringen, wählen wir  $I_B = 100 \mu\text{A}$ , also 10fache Übersteuerung. Daraus erhalten wir

$$R_B = \frac{1,5 \text{ V} - 0,6 \text{ V}}{100 \mu\text{A}} = 9 \text{ k}\Omega$$

Abbildung 8.2 zeigt die Übertragungskennlinie für diese Dimensionierung.

Für  $U_e = U_L = 0,4 \text{ V}$  wird bei Vollast ( $R_V = R_C$ ) die Ausgangsspannung  $U_a = 2,5 \text{ V}$ . Sie liegt also um 1 V über dem geforderten Minimalwert  $U_H = 1,5 \text{ V}$ . Wir definieren nun einen H-Störabstand  $S_H = U_a - U_H$  für  $U_e = U_L$ . Er beträgt in unserem Beispiel 1 V. Ebenso kann man einen L-Störabstand  $S_L = U_L - U_a$  für  $U_e = U_H$  definieren. Er ist in Abb.

NOT AVAILABLE COPY

Stromversorgung. Aus diesem Grund ist es ungünstig, die  $-2\text{ V}$  mit einem Längsregler aus den  $-5,2\text{ V}$  zu erzeugen.

### Wired-OR-Verknüpfung

Durch Parallelschaltung von ECL-Ausgängen kann man — wie bei Open-Collector-Ausgängen — eine logische Verknüpfung erreichen. Diese Möglichkeit ist in Abb. 9.35 dargestellt. Da bei der Parallelschaltung der Emitterfolger der H-Pegel dominiert (active high), ergibt sich in positiver Logik eine ODER-Verknüpfung. Der Vorteil einer Wired-OR-Verknüpfung besteht bei ECL-Schaltungen darin, daß sich dadurch die Geschwindigkeit nicht reduziert. Man spart dabei also nicht nur ein Gatter ein, sondern auch eine Gatterlaufzeit.

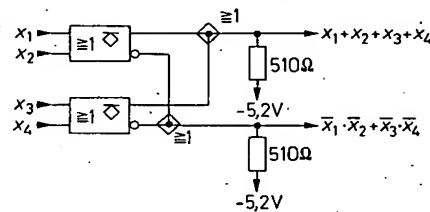


Abb. 9.35 Wired-OR-Verknüpfung bei ECL-Schaltungen. Das  $\otimes$ -Symbol in den Gattern bedeutet Open-Emitter-Ausgang

Zusammenfassend sollen noch einmal die wichtigsten Gesichtspunkte aufgezählt werden, die für den Einsatz von ECL-Gattern in schnellen Logikschaltungen maßgebend sind:

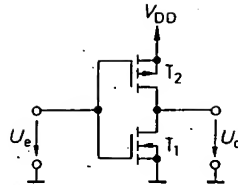
- 1) Sie besitzen die kürzeste Gatterlaufzeit.
- 2) Ihre Stromaufnahme ist vom Schaltzustand unabhängig. Beim Umschalten treten keine Stromspitzen auf. Dadurch bleibt die hochfrequente Verseuchung der Stromversorgung gering.
- 3) Die symmetrischen Ausgänge erlauben eine störsichere Signalübertragung auch bei größeren Abständen (s. Abschn. 9.5).

Eine Übersicht über die verschiedenen ECL-Familien folgt in Abb. 9.46.

### 9.4.6 Komplementäre MOS-Logik (CMOS)

Eine Logikfamilie, die sich durch eine besonders niedrige Leistungsaufnahme auszeichnet, sind die CMOS-Schaltungen. Die Schaltung eines Inverters ist in Abb. 9.36 dargestellt. Auffallend ist, daß die Schaltung ausschließlich aus selbstsperrenden Mosfets besteht. Dabei ist die Source-Elektrode des n-Kanal-Fets an Masse und die des p-

BEST AVAILABLE COPY



$(V_{DD} = 5\text{ V})$	Standard	High Speed
Typ	74C04	74HC04
Verlustleistung	$0,3\text{ }\mu\text{W/kHz}$	$0,5\text{ }\mu\text{W/kHz}$
Gatterlaufzeit	90 ns	10 ns

Abb. 9.36 CMOS-Inverter

Kanal-Fets an der Betriebsspannung  $V_{DD}$  angeschlossen. Beide Fets arbeiten also in Source-Schaltung und verstärken die Eingangsspannung invertierend. Dabei stellt jeweils der eine Transistor den Arbeitswiderstand für den anderen dar.

Die Schwellenspannung der beiden Mosfets liegt betragsmäßig bei ca. 1,5 V. Bei einer Betriebsspannung von 5 V ist daher mindestens einer der beiden Mosfets leitend. Macht man  $U_e = 0$ , leitet der p-Kanal-Fet  $T_2$ , und der n-Kanal-Fet  $T_1$  sperrt. Die Ausgangsspannung wird gleich  $V_{DD}$ . Für  $U_e = V_{DD}$  sperrt  $T_2$ , und  $T_1$  leitet. Die Ausgangsspannung wird Null. Man erkennt, daß im stationären Zustand kein Strom durch die Schaltung fließt. Lediglich während des Umschaltens fließt ein kleiner Querstrom, solange sich die Eingangsspannung im Bereich  $|U_p| < U_e < V_{DD} - |U_p|$  befindet. Der Verlauf des Querstroms ist zusammen mit der Übertragungskennlinie in Abb. 9.37 eingezeichnet.

Die logischen Pegel hängen von der gewählten Betriebsspannung ab. Der zulässige Spannungsbereich ist bei CMOS-Schaltungen sehr groß. Bei Silicon-Gate-Schaltungen liegt er zwischen 3 V und 6 V, bei Metal-Gate-Schaltungen sogar zwischen 3 V und 15 V. Der Umschaltpegel liegt aus Symmetriegründen immer bei der halben

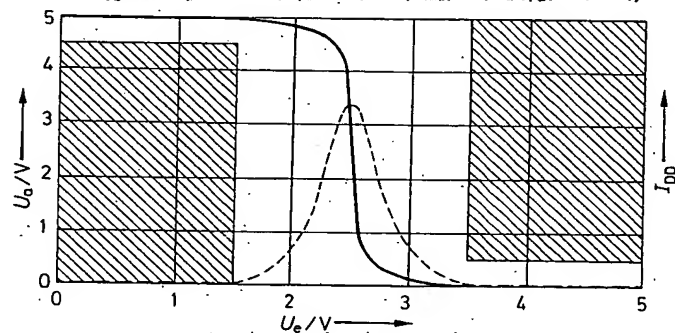


Abb. 9.37 Übertragungskennlinie eines CMOS-Gatters bei 5 V Betriebsspannung.

Schraffiert: Toleranzgrenzen

Gestrichelt: Stromaufnahme

Betriebsspannung. Aus diesem Grund muß bei einer Betriebsspannung von 5 V der H-Pegel über 3,5 V liegen, wie man in Abb. 9.37 erkennt. Um ein CMOS-Gatter mit einem TTL-Ausgang anzusteuern, ist deshalb ein zusätzlicher Pull-up-Widerstand erforderlich. Voll TTL-kompatibel sind dagegen die HCT-Schaltungen, die einen speziellen Pegelumsetzer am Eingang besitzen.

Die Stromaufnahme eines CMOS-Gatters setzt sich aus drei Anteilen zusammen: Wenn die Eingangsspannung konstant gleich Null oder gleich  $V_{DD}$  ist, fließt nur ein kleiner Sperrstrom im Bereich von wenigen Mikroampere. Wenn das Eingangssignal seinen Zustand wechselt, fließt vorübergehend ein Querstrom durch beide Transistoren. Außerdem müssen die Schaltkapazitäten aufgeladen werden, wenn der Ausgang auf H-Potential geht. Die bei einem L-H-L-Zyklus aufgrund beider Effekte transportierte Ladung läßt sich mit Hilfe einer fiktiven „Verlustleistungskapazität“  $C_{PV}$  beschreiben gemäß:  $Q = C_{PV} \cdot V_{DD}$ . Bei einer Schaltfrequenz  $f$  fließt der mittlere Strom  $I = Q \cdot f$ . Damit ergibt sich die Verlustleistung zu

$$P_V = V_{DD} \cdot I = V_{DD} \cdot Q \cdot f = C_{PV} \cdot V_{DD}^2 \cdot f.$$

Die Verlustleistung ist demnach – abgesehen von den geringen Sperrstrom-Verlusten – proportional zur Frequenz, mit der die Schaltung betrieben wird.

Das Potential an offenen CMOS-Eingängen ist *undefiniert*. Deshalb muß man sie an Masse bzw.  $V_{DD}$  anschließen. Dies ist selbst bei unbenutzten Gattern geboten, weil sich sonst ein Eingangspotential einstellt, bei dem ein mehr oder weniger großer Querstrom durch beide Transistoren fließt. Daraus resultiert eine unerwartet große Verlustleistung.

#### *Vorsichtsmaßnahmen beim Betrieb von CMOS-Schaltungen*

Die Gate-Elektroden von Mosfets sind sehr empfindlich gegen statische Aufladungen. Um Beschädigungen zu vermeiden, sind die Eingänge integrierter MOS-Schaltungen deshalb wie in Abb. 9.38 durch Dioden geschützt. Vorsicht ist trotzdem geboten.

Durch die Schutzdioden entsteht jedoch eine weitere Einschränkung, die man beim Einsatz von CMOS-Schaltungen beachten muß [9.5]. Infolge der Sperrschicht-Isolierung der beiden MOS-Fets  $T_1$  und  $T_2$  entsteht ein parasitärer Thyristor zwischen den Betriebsspannungsanschlüssen, wie in Abb. 9.39 dargestellt. Dieser Thyristor stört normalerweise nicht, da die Transistoren  $T_3$  und  $T_4$  sperren. Ihre Sperrströme werden über die Widerstände  $R_2$  bzw.  $R_3$  abgeleitet. Wenn jedoch eine der als zusätzliche Emitter wirkenden Schutzdioden in Durchlaßrichtung betrieben wird, kann der Thyristor  $T_3$ ,  $T_4$  zünden.

REST AVAILABLE COPY